

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 07335837
PUBLICATION DATE : 22-12-95

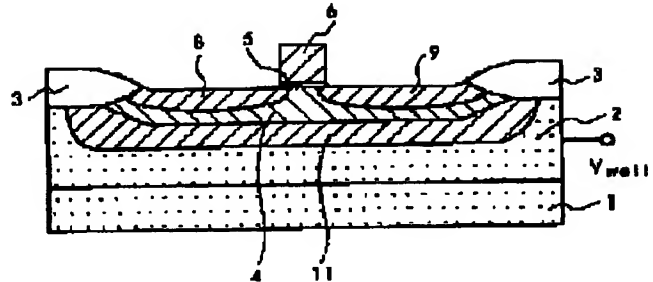
APPLICATION DATE : 03-06-94
APPLICATION NUMBER : 06122217

APPLICANT : HITACHI LTD;

INVENTOR : MIYAMOTO MASABUMI;

INT.CL. : H01L 27/08 H01L 21/265 H01L 21/8234
H01L 27/088 H01L 21/8238 H01L
27/092 H01L 29/78

TITLE : SEMICONDUCTOR DEVICE AND
LOGIC CIRCUIT



ABSTRACT : PURPOSE: To reduce a junction capacitance by forming a second well region of a first conductivity type under a first well of a first conductivity type source, drain, and second conductive type and forming a third well region of the first conductivity type thereunder.

CONSTITUTION: A first p-type well 4 under a source 8 and a drain 9 constitutes a p-type, a n-type well 11 thereunder constitutes a n-type, and a p-type well 2 thereunder constitutes a p-type. A depletion layer is constructed between n-type wells 11 and 12 in addition to the conventional depletion layer by adding a new n-type well 11 into the p-type well, and such a potential distribution that a series combination of all these capacitance of depletion layers become a junction capacitance is formed. The combination of these capacitance enables the junction capacitance to decrease.

COPYRIGHT: (C)1995,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-335837

(43) 公開日 平成7年(1995)12月22日

(51) Int.Cl.⁶ 識別記号 庁内整理番号 F I 技術表示箇所
H 0 1 L 27/08 3 3 1 D
21/265
21/8234

H 0 1 L 21/ 265 V
27/ 08 1 0 2 H

審査請求 未請求 請求項の数12 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願平6-122217

(22) 出願日 平成6年(1994)6月3日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 石井 達也

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 宮本 正文

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 半導体装置および論理回路

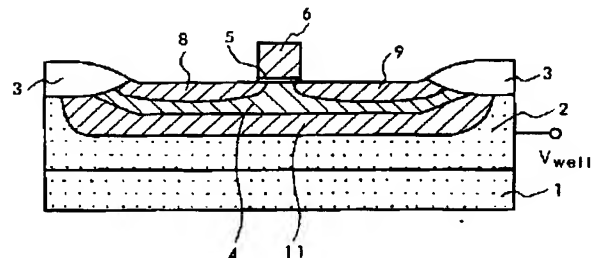
(57) 【要約】

【目的】 接合容量低減により高速動作に適した半導体装置を提供する。

【構成】 n MOS の例では n 型ソース・ドレインの下側に、順に第1 (p 型) / 第2 (n 型) / 第3 (p 型) の三層のウェル領域を持ち、基板電位は第三のウェルから与え、第一、第二のウェルの電位は浮動状態にする。p MOS の構成では、すべての n, p を逆にする。

【効果】 MOS トランジスタの接合容量は、第二、第三のウェル間の空乏層により形成される新たな接合容量と従来の接合容量との直列結合になるので低減され、MO S 論理回路を高速化できる。また、第一のウェルを浮動状態にすることにより、基板電流を抑制できる。

図 1



【特許請求の範囲】

【請求項1】半導体基板上に形成された、第一導電型のソース・ドレインを持つMOSトランジスタにおいて、前記ソース・ドレインの下側に接して、前記ソース・ドレインと反対導電性を持つ第二導電型の第一のウエル領域を持ち、前記第一のウエル領域の下側に接して、第一導電型の第二のウエル領域を持ち、前記第二のウエル領域の下側に接して、第二導電型の第三のウエル領域を持ち、前記第三のウエル領域に基板電圧が与えられ、前記第一のウエル領域および前記第二のウエル領域には基板電圧が直接与えられないことを特徴とする半導体装置。

【請求項2】請求項1において、前記第一のウエル領域と前記第二のウエル領域の境界が、前記ソース・ドレインの接合深さより深い位置に形成され、前記第二のウエル領域と前記第三のウエル領域の境界が、基板表面から500nmより浅い位置に形成される半導体装置。

【請求項3】半導体基板上に形成された、第一導電型のソース・ドレインを持つMOSトランジスタにおいて、前記MOSトランジスタのチャネル部のウエル電位が、チャネル下側に位置する半導体接合を介して供給されることを特徴とする半導体装置。

【請求項4】請求項1、2または3において、斜めイオン打ち込み技術を用いて前記第二のウエル領域を形成した半導体装置。

【請求項5】請求項1、2、3または4において、前記第一のウエル領域の導電型を決める不純物濃度分布の、深さ方向の最大位置が、基板表面より深い位置にある半導体装置。

【請求項6】請求項1、2、3、4または5において、前記第一のウエル領域の導電型を決める不純物のチャネル方向の濃度分布において、ゲート端近傍の濃度がチャネル中央の濃度より高い半導体装置。

【請求項7】請求項1、2、3、4、5または6において、前記第一のウエル領域を、ウエル領域の導電型を決める不純物注入の後、ノンドーブシリコンをエピタキシャル成長して、形成した半導体装置。

【請求項8】請求項1、2、3、4、5、6または7において、低不純物濃度ドレインを具備する半導体装置。

【請求項9】請求項1に記載の第一、第二、第三のウエル領域を持つ半導体基板。

【請求項10】請求項1ないし8のいずれか記載の半導体装置を用いて構成したことを特徴とするNMOS論理回路。

【請求項11】請求項1ないし8のいずれか記載の半導体装置を用いて構成したことを特徴とするCMOS論理回路。

【請求項12】請求項10もしくは11のいずれか記載の半導体装置を用いて構成したことを特徴とする計算機システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はサブミクロンレベルの半導体素子、及びそれを用いた装置に関する。

【0002】

【従来の技術】Si半導体装置の高速化は、素子微細化によって進められてきたが、さらなる高速化を進めるため、近年、アイイーイーイー トランザクションズ オン エレクトロン デバイシズ 40-1巻179頁 (IEEE Trans. on Electron Devices, vol.40-1(1993) p.179.)に示されるようにシリコン基板に下地絶縁膜を埋め込んで形成したSOI (silicon on insulator) 構造MOSトランジスタ (図2(a))の適用が検討されている。SOI構造MOSトランジスタは、下地絶縁膜 (図2(a)の7)の容量によってソースドレイン接合容量及びゲート酸化膜容量を低減し、さらなる高速化を実現するものである。ただしSOI構造は、プロセス技術が困難かつ高価なので、アイイーディーエム テクニカル ダイジェスト 1992年909頁(IEDM Tech. Dig., 1992, pp.909.)に示されるように、通常のシリコン基板を用いて同等な働きを実現するSJET (shallow junction well transistor) 構造 (図2(b))の検討も行われている。

【0003】SJET構造は、浅く形成したウエル (図2(b)の4)の下側に、ウエルと反対導電性をもう一つのウエル領域 (図2(b)の11)を設け、この二つのウエル領域により半導体接合を形成したものである。SJET構造の半導体接合は、SOI構造の下地絶縁膜容量と同等の働きをするので、容量低減による高速化を可能にする。

【0004】

【発明が解決しようとする課題】以上のように、微細MOSトランジスタを用いた半導体装置を高速化するために、様々な容量低減の工夫がなされている。特に、短チャネル効果抑制のためウエル濃度を上げる必要のある微細素子ほど接合容量低減により大きく高速化されるので、容量低減を進めることが重要である。

【0005】SOI構造では、下地絶縁膜により容量が低減され、ウエル電位を引き出す必要がないのでデバイス構造が単純になるという長所があるが、信頼性の高い素子を製造コストを抑えつつ形成することは困難という問題がある。一方、SJET構造では、ウエル電位を素子分離絶縁膜 (図2(b)の3)の下側に新たな導電型領域を設けて引き出すという複雑なデバイス構造が必要という問題がある。

【0006】また、SJET構造では、浅いウエル (図2(b)の4)の下側のもう一つのウエル (図2(b)の11)の電位が変動したときに、パンチスルーによる基板電流が流れるので、回路設計時の扱いが困難という問題がある。つまり、従来、製造コスト低減と回路設計

時の扱い易さを同時に満たした素子を実現されていない状況であり、逆に言えば、それらの性質を両立した技術の有用性が高まっている。

【0007】本発明の目的は、SOI技術を用いずに接合容量を低減し、高速動作に適した半導体装置およびその製造方法を提供することである。本発明は、シリコン基板を用いながら容量低減し、かつ基板電流を抑制でき、製造コストを抑えたデバイスを実現することにある。

【0008】また、本発明の第二の目的は、短チャネル効果を改善するためにウエル領域の不純物濃度分布に工夫を加えたMOSトランジスタ構造について効果的な接合容量低減を行うことである。

【0009】本発明の第三の目的は、エピタキシャル成長を用いて形成するMOSトランジスタ構造について効果的な接合容量の低減を行うことにある。

【0010】本発明の第四の目的は、低不純物濃度ソース・ドレインを用いて、高速動作が可能でかつ信頼性の高い素子を提供することにある。

【0011】本発明の第五の目的は、高速動作するNMOS論理回路を提供することにある。

【0012】本発明の第六の目的は、高速動作するCMOS論理回路を提供することにある。

【0013】本発明の第七の目的は、高速動作する計算機システムを提供することにある。

【0014】

【課題を解決するための手段】本発明は、上記課題を解決するために、第一導電型ソース・ドレイン、及びソース・ドレインと反対導電性の第二導電型の第一のウエルの下側に、第一導電型の第二のウエル領域を形成し、さらにその下側に第二導電型の第三のウエル領域を形成する。本構造における第二のウエルと第三のウエルの間の半導体接合は、新たな空乏層を形成するために設ける。

【0015】また、通常のMOSトランジスタは、その動作時にソース、ドレイン、ゲート、基板の4端子に電位が加えられるが、本発明では、第三のウエルのみに基板電位を与える。つまり、MOSトランジスタチャネル部のウエル電位をチャネル下側に位置する半導体接合を介して供給し、基板への電流の流れ込みを抑制するために、第一、第二のウエル領域には基板電位を直接与えず浮動状態にする。

【0016】また、第二のウエル領域形成のために、斜めイオン打ち込み技術を用いてこのウエル領域を素子分離絶縁膜下側方向に突き出して形成する。

【0017】また、第一のウエル領域の導電型を決める不純物濃度分布の、深さ方向の最大濃度位置を、基板表面より深い位置に形成し、微細MOSトランジスタ構造を形成する。

【0018】また、第一のウエル領域の導電型を決める不純物のチャネル方向の濃度分布において、ゲート端近

傍の濃度がチャネル中央の濃度より高くなるように形成し、微細MOSトランジスタ構造を形成する。

【0019】また、第一のウエル領域を、ウエル領域の導電型を決める不純物注入の後、ノンドープシリコンのエピタキシャル成長を用いて形成し、微細MOSトランジスタ構造を形成する。

【0020】また、素子構造に低不純物濃度ソース・ドレインを併用する。

【0021】また、素子構造を用いて、NMOS論理回路を構成する。

【0022】また、素子構造を用いて、CMOS論理回路を構成する。

【0023】また、素子構造を用いて、計算機システムを構成する。

【0024】

【作用】本発明では、第二導電型の第一のウエルの下側に、第一導電型の第二のウエル領域及び、さらにその下側に第二導電型の第三のウエル領域が形成されている。そして、図3に示すように、この第二のウエルと第三のウエルの間の半導体接合により新たな空乏層（図3の空乏層B）が形成される。ソース・ドレインと基板間の接合容量は、この新たな空乏層の容量と、従来構造である図2（b）のソース・ドレイン／第一ウエル間及び第一／第二ウエル間に形成される空乏層（図3の空乏層A、A'）の容量との直列結合となる。この容量結合により接合容量を減らせ、MOS論理回路を高速化できる。

【0025】また、本発明における基板電位は、第三のウエルのみに与えられ、第一、第二のウエル領域は基板電位が直接与えられない。この構成により、基板電位が変動した場合にも、第一のウエルと第二のウエルの間に順方向電圧は印加されにくく、かつ第二のウエルと第三のウエルは逆方向のダイオード接合となるので、基板への電流の流れ込みは抑制される。

【0026】また、本発明における第二のウエル領域は、斜めイオン打ち込み技術を用いて素子分離絶縁膜下側方向に突き出してこのウエル領域を形成するので、第一のウエル領域と第三のウエル領域の分離を確実にでき、第一のウエル領域の電位を浮動状態にすることができる。

【0027】また、本発明では、短チャネル効果を改善するためにウエル領域の不純物濃度分布に工夫を加えたMOSトランジスタ構造について効果的な接合容量低減を行うことができる。

【0028】また、本発明では、エピタキシャル成長を用いて形成する低温動作・高速動作に適したMOSトランジスタ構造について効果的な接合容量低減を行うことができる。

【0029】また、本発明では、低不純物濃度ドレインによってドレイン端の電界を緩和し、信頼性の高い微細素子を実現し、低電圧高速動作可能な素子を実現でき

る。

【0030】また、本発明では、n、p両MOSトランジスタとも同じ原理で接合容量低減でき、各ノードの接合容量の小さい高速動作するNMOS論理回路及びCMOS論理回路を構成できる。

【0031】さらに、本発明の素子を用いて、高速動作する計算機システムを実現できる。

【0032】

【実施例】図1は、本発明の第一の実施例のnチャンネルMOSトランジスタであり、基板表面にゲート絶縁膜5を介してゲート電極6を、そしてゲート電極に自己整合的にソース8、ドレイン9を設けている。本発明の特徴は、本来ソース・ドレインと反対導電性を持つウエルの中に、同一導電性の新たなn型ウエル11を設けていることである。つまり、ソース・ドレインの下側に接する第一のp型ウエル4はp型、その下側のn型ウエル11はn型、そしてその下側のp型ウエル2はp型である。なお、1はp型基板、3は素子分離用絶縁膜である。

【0033】本発明の目的は、接合容量低減による回路の高速動作化であり、その接合容量低減の原理は以下のように説明される。つまり、p型ウエル内に新たにn型ウエル11を加えることによって、従来の空乏層（図3のA、A'）の他に、n型ウエル11、12の間にも空乏層（図3のB）を形成し、これらの空乏層容量の直列結合が接合容量となるような電位分布を形成する。そのためには、トランジスタの基板電位Vwellを第三のp型ウエル2のみに加え、第一及び第二のウエルの電位をほぼ浮動状態にすることが必要である。

【0034】各ウエル領域の不純物濃度は、図3に示すように、ゲート長 $0.3\mu\text{m}$ のとき、第一のウエル4は $4 \times 10^{17}/\text{cm}^3$ 程度、第二のウエル11は $5 \times 10^{16}/\text{cm}^3$ 程度、第三のウエル2は $10^{16}/\text{cm}^3$ 程度である。また、ソース・ドレイン接合は 100nm 、第一／第二のウエルの接合は 200nm 程度、第二／第三のウエルの接合は 350nm 程度の深さにある。この容量直列結合を形成するために、第二、第三のウエルの接合はこの程度まで浅くする必要がある。一方、6は $10^{20}/\text{cm}^3$ 以上にドーパされたn型ポリシリコンであり、厚さは 300nm 程度である。トランジスタのしきい値電圧は、第一のp型ウエル4の濃度によってほぼ決まる。これは、第一／第二及び第二／第三のウエル間の接合のp/n方向が逆であり、ビルトインポテンシャルがほぼキャンセルされること、および、チャンネル領域から伸びる空乏層より第一のウエルが厚いことによる。つまり、本発明では、しきい値電圧設計に影響されることなく接合容量を低減できる。

【0035】なお本実施例はnMOSトランジスタを構成したが、各半導体領域中の不純物をすべて反対導電型のものに置き換えることによって、pMOSトランジスタを構成しても同様の効果が得られる。また、本実施例

はp型基板1の上に素子を形成したが、他の型の基板上に形成しても同様の効果が得られる。また、第三のp型ウエル2の下側にさらに別のウエル領域が存在しても同様の効果が得られる。

【0036】次に、図4より第二の実施例を示す。図4は、本発明を用いて形成したCMOSインバータの断面図であり、図4の左側は本発明構造のnMOSトランジスタ、図4の右側は本発明構造のpMOSトランジスタである。本素子は、Vccを高電位電源、Vssを低電位電源、Vinを入力端子、Voutを出力端子としてインバータ動作する。

【0037】CMOS論理回路では、MOSトランジスタの駆動電流によって次段ゲートの容量を充電して信号が伝播する。すなわち、駆動電流の値が大きく、充電する容量が小さいほど高速化できる。そして、長い配線を要する一部の回路を除いて、速度を決めるのはゲート容量と接合容量の和である。本実施例において、出力ノードVoutに関係する接合容量は、ドレイン9とp型ウエル間の容量、及びp型ドレイン19とn型ウエルの容量であり、いずれも本発明によって低減されている。すなわち、従来構造より少量の給電で動作するので高速である。

【0038】本実施例は、本発明を用いてCMOSインバータを構成したが、その他のCMOS論理ゲート及びNMOS論理ゲートを構成する場合にも、同様に各ノードの接合容量を減らせるので同様の速度改善効果が得られる。

【0039】また、本発明における新たなウエル領域を形成するためのマスクは、既存CMOSプロセスにおける他の層のマスクを兼用することができるので、新たなマスクを製作しなくてもよく、製造コスト上有利である。すなわち、第一及び第三のウエル形成にはNウエル/Pウエル形成マスクを、第二のウエル形成にはN型活性化領域/P型活性化領域形成マスクを兼用することができる。

【0040】次に、第一の実施例を形成するためのプロセスフローの概略を図5に示す。まず、図5(a)のように、p型基板1上にp型ウエル2、素子分離用絶縁膜3を形成した後、リンのイオン注入及び熱処理によってn型ウエル11を形成する。n型ウエル11のリン濃度は $5 \times 10^{16}/\text{cm}^3$ 程度であり、p型ウエル2とn型ウエル11の接合は基板表面から 350nm 程度の深さにある。なお、この工程に斜めイオン注入技術を用いることにより、素子分離絶縁膜3の下側方向に突き出してこのn型ウエル11を形成でき、p型ウエル2と後に形成されるp型ウエル4とを確実に分離できる。さらに熱処理によりn型ウエル11の厚さを十分にとり、パンチスルー及びラッチアップを防ぐことができる。また、15はイオン注入時の汚染防止用の酸化膜である。

【0041】続いて、図5(b)のように、ボロンのイ

オン注入によってp型ウエル4を形成する。p型ウエル4のボロン濃度は $4 \times 10^{17} / \text{cm}^3$ 程度であり、p型ウエル4とウェル領域11の接合は基板表面から200nm程度の深さにある。

【0042】次に、図5(c)のように、表面にゲート絶縁膜5を形成し、ポリシリコン6を被着した後、レジストを用いてドライエッチングすることにより、ゲートを形成する。ゲート絶縁膜5は6nm程度、ポリシリコン6はリンが $10^{20} / \text{cm}^3$ 程度ドーパされてn型になっている。

【0043】次に、図5(d)のように砒素をイオン打ち込みすることによってソース8、ドレン9を形成する。接合深さは100nm程度である。図5(e)は、層間絶縁膜30を被着し、コンタクトホールを加工した後、配線用金属31を被着し加工したものであり、こうして第一の実施例が構成される。

【0044】次に、図6より第三の実施例のnMOSトランジスタを示す。第一の実施例との違いは、ソース・ドレインに接する第一のウエルの形状である。第一の実施例のp型ウエル4はソース・ドレインの下側全面に設けているのに対して、第三の実施例ではゲートの下側では薄く、ソースドレインの周辺では厚くポケット状に設けられている。本実施例は、第一の実施例に比べて、若干耐短チャネル特性が弱くなるが、チャネル部のキャリア移動度を上げられるという長所がある。また、接合容量の低減効果については、第一の実施例と同じであり、同様な高速化が図れる。

【0045】次に、第三の実施例を形成するためのプロセスフローの概略を図7に示す。まず、図7(a)のように基板上にp型ウエル2、n型ウエル11を形成した後、第一の実施例では第一のp型ウエル4を形成するが、本実施例では図7(b)のように、この時点でp型ウエル4を形成せずに、ゲート絶縁膜5、ゲート電極(ポリシリコン)6を形成する。その後、図7(c)のようにボロンイオンを注入して、p型ウエル4と同等な効果を持つp型領域17を形成する。これに続いて図7(d)のように砒素イオンを注入しソース8、ドレン9を形成する。そして図7(e)のように、層間絶縁膜30及び配線層31を形成して素子が構成される。

【0046】次に、図8より第四の実施例のnMOSトランジスタを示す。この実施例も、第一のウエルの形状に工夫を加えている。本実施例の特徴は、第一の実施例のp型ウエル4と同等の効果を持つ不純物濃度分布として、高濃度p型領域41、低濃度p型領域42、及び斜めイオン打ち込みによって形成した高濃度p型ポケット領域17が形成されていることである。本構造では、高濃度領域42によってパンチスルーをおさえ、ポケット領域17によって短チャネル効果によるしきい値低減を補う。

【0047】すなわち、本実施例は、第一、第三の実施

例に比べてより微細なMOSトランジスタを実現できるので高相互コンダクタンス特性を得られる。接合容量の低減効果については、第一の実施例と同じであり、同様な高速化が図れる。

【0048】次に、図8の素子を形成するためのプロセスフローの概略を図9に示す。図9(a)は、p型ウエル2、素子分離用絶縁膜3、n型ウエル11を形成する工程であり、第一の実施例プロセス図5(a)と同様である。

10 【0049】続く図9(b)は、高濃度p型領域41、低濃度p型領域42を形成する工程である。この二領域の形成には、イオン打ち込みエネルギーを調節する方法と、二度に分けてイオン打ち込みを行う方法がある。図9(c)は、ゲート絶縁膜5及びゲート電極6を形成する工程であり、第一の実施例プロセス図5(c)と同様である。

20 【0050】次に、図9(d)は、ボロンの斜めイオン打ち込みによってポケット状のp型領域17を形成する工程である。打ち込みのティルト角は30度程度である。一般にチャネル長が短くなると、短チャネル効果によるしきい値電圧低下がおこるが、本構造では、斜めイオン打ち込みによってチャネルの一部の不純物濃度を高めるため、この低下を緩和し、より微細な素子を形成できる。次に図9(e)(f)は、ソース8、ドレン9、層間絶縁膜30、配線層31を形成する工程であり、図5(d)(e)と同様の工程である。

30 【0051】次に、図10より第五の実施例のnMOSトランジスタを示す。本実施例は、より微細な素子の構成に関する。第一の実施例との違いは、第一のウエル層の形成にエピタキシャル成長を用いることにある。本実施例では、高濃度p型領域43の上側に急激に不純物濃度の下がった領域44が形成されている。この不純物分布によって、チャネル部の空乏層厚さを正確に設計してパンチスルーを抑制しつつ、移動度を向上させて素子を高速化できる。特に低温動作に適した0.1 μm レベルのゲート長を持つトランジスタを構成することができる。

40 【0052】次に、図10の素子を形成するためのプロセスフローの概略を図11に示す。図11(a)は、p型ウエル2を形成した後、レジストマスク13を用いたリンイオン注入によってn型ウエル11を形成した。また図11(b)では、続いてボロンイオン注入によりp型ウエル43を形成した。本実施例の素子は、第一、第三、第四の実施例より微細素子向けのものであり、ゲート長0.1 μm 程度の素子では43の濃度はピーク値で $2 \times 10^{18} / \text{cm}^3$ 程度必要となる。また他の実施例と異なり、本実施例で図11(a)(b)の段階で素子分離用絶縁膜を形成しないのは、後の工程で絶縁膜の存在しない基板上にシリコンエピタキシャル成長を行って信頼度の高い結晶を得るためである。

【0053】図11(c)は、ノンドープのシリコンエピタキシャル成長により、低濃度領域44を形成した。このエピタキシャル成長に900℃程度の減圧エピタキシャル成長を用いることによって、44の表面と43の濃度差が2桁ほどある不純物分布を構成できる。この実施例では不純物分布の急峻さが重要であるため、これ以降の熱処理量を押さえる必要があり、酸化は800℃の高圧酸化、アニールは900℃のRTA（ラピッドサーマルアニール）を用いる。

【0054】図11(d)は、選択酸化法により素子分離用絶縁膜3を形成した後、ゲートを形成した。図11(e)は、ソース・ドレイン形成の工程であり、図5(d)と同様である。ただし、不純物の活性化アニールにはRTAを用いる。図11(f)は層間絶縁膜および配線層を形成する工程であり、図5(e)と同様である。ここでも、熱処理量が極力小さくなるような、リフローによる層間膜プロセスあるいは化学機械研磨による平坦化プロセスを用いることが重要である。

【0055】次に、図12より第六の実施例のnMOSトランジスタを示す。本実施例は、微細素子における信頼度を上げるために、第一の実施例に低濃度ソース・ドレイン24を加えた構造をしている。本実施例によれば、ドレイン端の電界を緩和し、素子耐圧を向上させ、また素子寿命を伸ばすことができる。図において、10は、ゲート周辺に形成された絶縁膜の側壁であり、ソースドレインの横方向位置を調整するために形成される。

【0056】次に、図12の素子を形成するためのプロセスフローの概略を図13に示す。図13(a)は、p型ウエル2、素子分離用絶縁膜3、n型ウエル11を形成する工程であり、図5(a)と同様である。図13(b)は、第一のp型ウエル4を形成する工程であり、図5(b)と同様である。図13(c)は、ゲート絶縁膜5、ゲート電極6を形成する工程であり、図5(c)と同様である。

【0057】図13(d)は、リンをイオン注入して低濃度ソース・ドレイン24を形成する工程である。24のリン濃度は $10^{18} \sim 10^{19} / \text{cm}^3$ 程度である。図13(e)は、絶縁膜被着後、異方性ドライエッチングによりソースドレインの位置を調整するための側壁10を形成し、その後、砒素イオンを注入してソース・ドレイン8、9を形成する工程である。側壁の厚さは、ゲート長及び電源電圧によって最適値が決まり、50～200nm程度である。図13(f)は、層間絶縁膜および配線層を形成する工程であり、図5(e)と同様である。

【0058】以上、第三から第六の実施例は、nMOSトランジスタを構成した例を用いて説明してきたが、pMOSトランジスタを構成しても同様の効果が得られる。

【0059】最後に、本発明による性能改善を図14から図16に示す。図14は接合容量のドレイン電圧依存

性を示す。本発明によって、通常のMOSトランジスタに比べて1/3から1/4程度に容量低減できている。図15は遅延時間のドレイン容量依存性を示す。本発明によれば、サブミクロンの素子についてソース・ドレインとウエルの間の接合容量を減らすことにより、回路の高速化が可能になり、特に配線長が短い回路ではその改善効果が大きい。図16はドレイン電流の基板電圧依存性を示す。図2(b)に示した従来例のSJE構造では、基板電圧の変動により基板電流が流れ、ドレイン電流が減るという問題があった。本発明ではこれを解決し、ドレイン電流の減少はなくなっている。つまり、本発明により回路設計上の取扱い易い素子を実現できる。

【0060】

【発明の効果】本発明の素子構造により、短チャネル効果に強く、基板電流を抑制し、かつ、接合容量を低減した、高速動作に適した半導体装置を構成できる。また、本発明の素子構造の製造方法により、第一のウエル領域と第三のウエル領域の分離を確実にすることにより、第一のウエル領域の電位を浮動状態にし、容量を低減できる。

【0061】また、本発明の素子構造により、短チャネル効果を改善するためにウエル領域の不純物濃度分布に工夫を加えたMOSトランジスタ構造について効果的な接合容量低減を行うことができる。これによって短チャネル効果を抑え、かつ低接合容量の高速動作に適した素子を構成できる。

【0062】また、本発明の素子構造により、エピタキシャル成長を用いて形成するMOSトランジスタ構造について効果的な接合容量の低減を行うことができる。これによって、高相互コンダクタンスでかつ低接合容量の低温動作・高速動作に適した0.1μmレベルの素子を構成できる。

【0063】また、本発明の素子構造により、低不純物濃度ドレインによってドレイン端の電界を緩和し、素子耐圧を向上し、素子寿命を伸ばせる。これによって高信頼性の高速動作可能な微細素子を実現できる。

【0064】また、本発明により、高速動作するNMO論理回路及びCMOS論理回路を構成できる。

【0065】また、本発明により、高速動作する、計算機システムを構成できる。

【0066】また、本発明は、従来のMOSトランジスタ製造プロセスに、新たなウエル領域形成のための不純物注入を加えて構成できるので、製造工程をそれほど複雑にせず、製造コストを上げずに、高性能素子を得ることができる。

【図面の簡単な説明】

【図1】第一の実施例のnチャネルMOSトランジスタの断面図。

【図2】公知例のnチャネルMOSトランジスタの断面図。

11

【図3】第一の実施例の不純物分布図。

【図4】第二の実施例のCMOSトランジスタの断面図。

【図5】第一の実施例のプロセスフローの説明図。

【図6】第三の実施例のnチャネルMOSトランジスタの断面図。

【図7】第三の実施例のプロセスフローの説明図。

【図8】第四の実施例のnチャネルMOSトランジスタの断面図。

【図9】第四の実施例のプロセスフローの説明図。

【図10】第五の実施例のnチャネルMOSトランジスタの断面図。

【図11】第五の実施例のプロセスフローの説明図。

【図1】

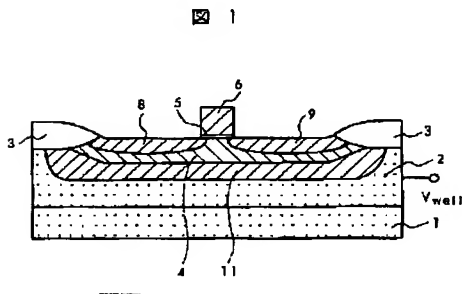


図 1

【図2】

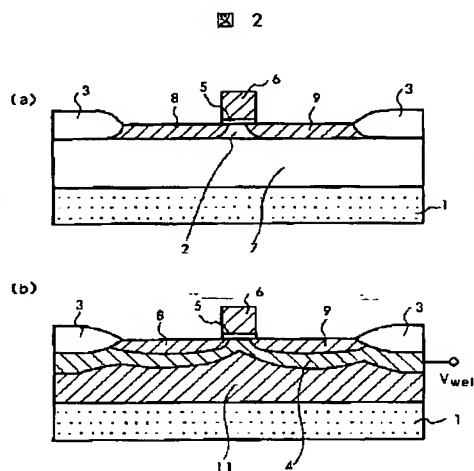


図 2

【図14】

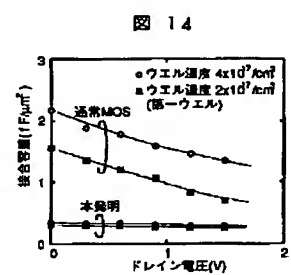
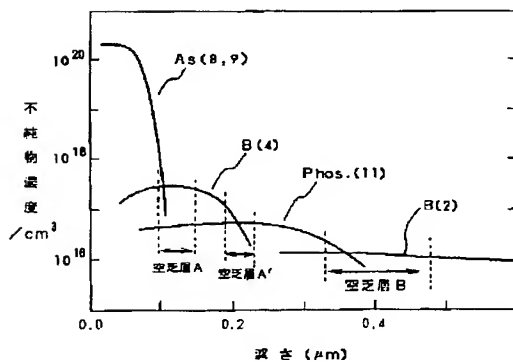


図 14

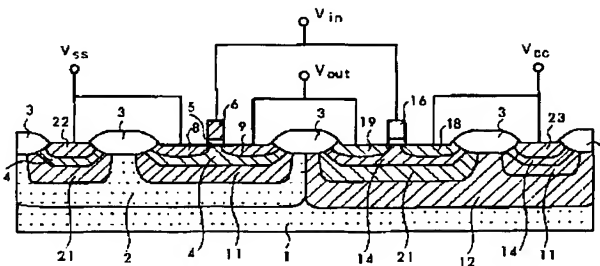
【図3】

図 3



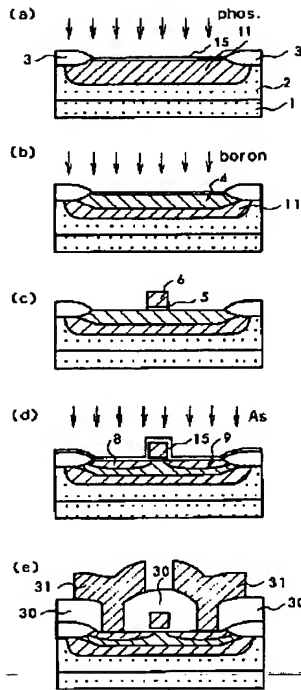
【図4】

図 4



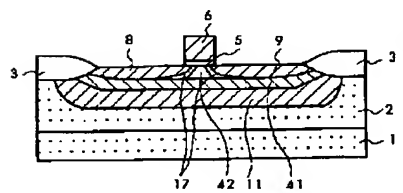
【図5】

図 5



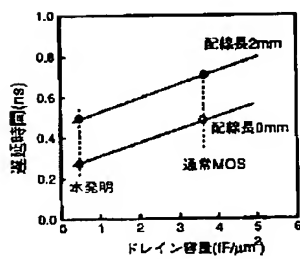
【図8】

図 8



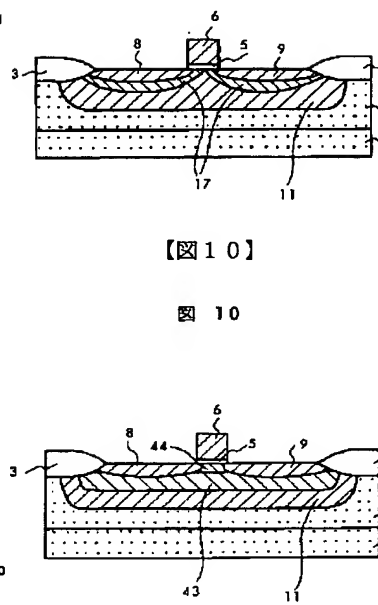
【図15】

図 15



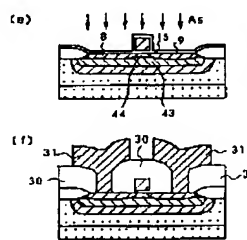
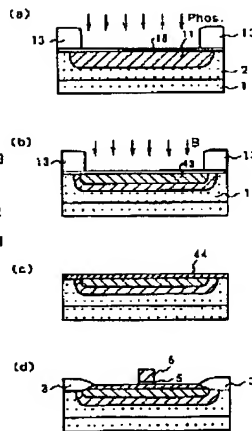
【図6】

図 6



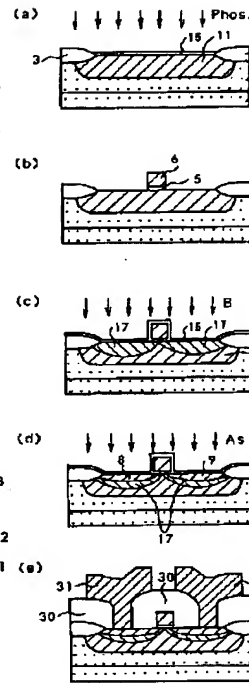
【図10】

図 10



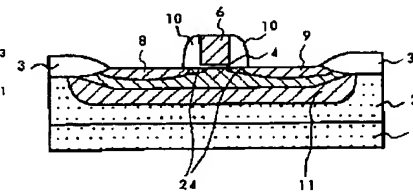
【図7】

図 7



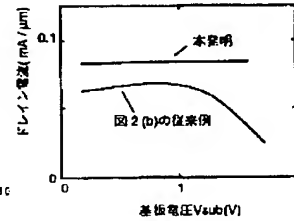
【図12】

図 12

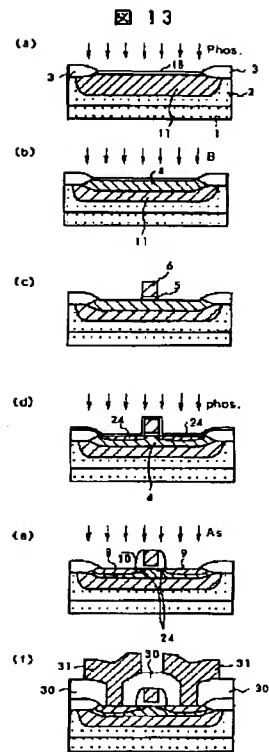


【図16】

図 16



【図13】



フロントページの続き

(51)Int. Cl. ⁶

H 0 1 L 27/088
21/8238
27/092
29/78

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/08

1 0 2 B

3 2 1 B

29/78

3 0 1 C